



(19)

(11) Publication number:

11088312 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 09248693

(51) Int'l. Cl.: H04L 7/04 H03L 7/06 H04L 7/033

(22) Application date: 12.09.97

(30) Priority:

(43) Date of application publication: 30.03.99

(71) Applicant: NEC CORP

(84) Designated contracting states:

(72) Inventor: HONDA NAOTO
NAKAGAWA FUJIO

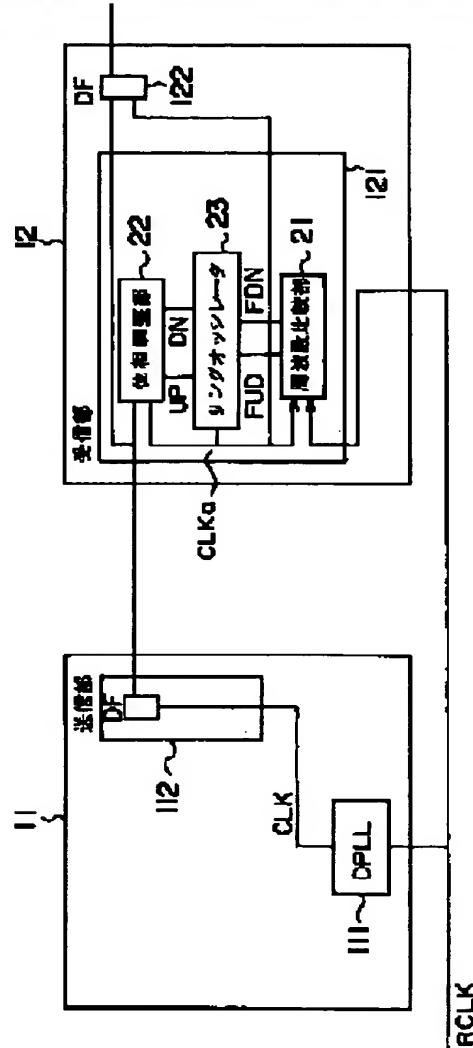
(74) Representative:

**(54) CLOCK SIGNAL
GENERATION CIRCUIT AND
COMMUNICATION SYSTEM**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a communication system provided with a transmission/reception interface capable of responding to high-speed clock signals without being affected by reflection and the degradation of a waveform and a reception clock generation circuit used in the system.

SOLUTION: The high-speed clock signals are distributed through a route provided separately from data to a transmission side equipment 11 and a reception side equipment 12 and frequency adjustment and phase adjustment between the high-speed clock signals and internal clock signals are separately performed in the reception side equipment 12. The frequency adjustment is performed by comparing the frequencies of the high-speed clock signals and the internal clock signals. In the meantime, the frequency adjustment is performed by changing the width of the respective pulses of the internal clock signals generated by a ring oscillator by phase adjustment signals from a bit phase adjustment part 22.



COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-88312

(43)公開日 平成11年(1999)3月30日

(51) Int.Cl.⁶
H 0 4 L 7/04
H 0 3 L 7/06
H 0 4 L 7/033

識別記号

F I
H04L 7/04
H03L 7/06
H04L 7/02

B
A
B

審査請求 有 請求項の数11 OL (全 7 頁)

(21)出願番号 特願平9-248693

(22)出願日 平成9年(1997)9月12日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 本田 直人

東京都港区芝五丁目7番1号 日本電気株
式会社内

(72) 究明者 中川 富士夫

東京都港区芝五丁目7番1号 日本電気株式会社内

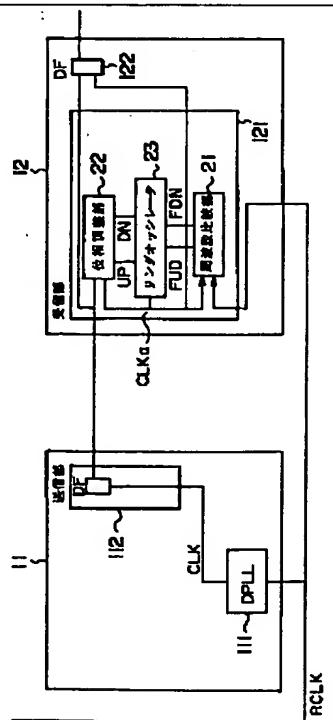
(74) 代理人 乔理士 筱藤 洋介 (外1名)

(54) 【発明の名称】 クロック信号発生回路、及び、通信システム

（57）【要約】

【課題】 反射及び波形の劣化の影響を受けることなく、高速クロック信号に応答することができる送受信インターフェースを備えた通信システム、及び、このシステムに使用される受信クロック発生回路を提供することである。

【解決手段】 高速クロック信号を送信側装置及び受信側装置に、データとは別に設けられたルートを介して分配し、受信側装置では、高速クロック信号と内部クロック信号との間の周波数調整と、位相調整とを別々に行う。周波数調整は高速クロック信号と内部クロック信号とを周波数比較することによって行われ、他方、位相調整は、リングオシレータによって発生される内部クロック信号の各パルスの幅をビット位相調整部からの位相調整信号によって変化させることによって行われる。



【特許請求の範囲】

【請求項1】 予め定められた周波数を有する第1のクロック信号を生成するクロック信号生成部と、前記第1のクロック信号の位相を進めるための第1の位相調整信号、及び、前記第1のクロック信号の位相を遅らせるための第2の位相調整信号とを受け、前記第1のクロック信号の位相を進める際には、第1の位相調整信号を前記クロック信号生成部に送出して、前記第1のクロック信号の幅を相対的に狭くする一方、前記クロック信号の位相を遅らせる際には、第2の位相調整信号を前記クロック信号生成部に送出して、前記第1のクロック信号の幅を相対的に広くする位相制御手段とを有していることを特徴とするクロック信号発生回路。

【請求項2】 請求項1において、前記クロック信号生成部は、前記位相制御手段に接続され、前記第1のクロック信号に対して時間遅延の少ない第2のクロック信号を生成する可変遅延回路と、第2のクロック信号を受け、予め定められた時間だけ遅延させ、前記第1のクロック信号を生成する回路とを有するリングオッシャレータにより構成されていることを特徴とするクロック信号発生回路。

【請求項3】 請求項2において、前記第1及び第2のクロック信号は前記第1及び第2の位相調整信号を発生する位相調整回路に出力され、当該位相調整回路は、前記第1及び第2のクロック信号から前記第1及び第2の位相調整信号を出力することを特徴とするクロック信号発生回路。

【請求項4】 請求項3において、前記位相調整回路には、入力データが与えられていることを特徴とするクロック信号発生回路。

【請求項5】 請求項4において、前記入力データ及び第1のクロック信号を比較する比較手段と、前記入力データ中における前記第1のクロック信号の立ち上がりを指示する指示手段と、前記第1及び第2のクロック信号から第1のクロック信号の幅を調整する調整用パルスを出力する調整手段と、前記比較手段、前記指示手段、及び、前記調整手段とから、前記第1及び第2の位相調整信号を得るための手段とを有していることを特徴とするクロック信号発生回路。

【請求項6】 請求項1において、リファレンスクロック周波数を有するリファレンスクロック信号及び前記第1のクロック信号とを受け、両者の周波数比較を行い、比較結果を前記クロック信号生成部に送出することにより、前記予め定められたクロック周波数の第1のクロック信号を生成するように、前記クロック信号生成部を制御することを特徴とするクロック信号発生回路。

【請求項7】 デジタル信号を送信する送信部と、当該デジタル信号を受信する受信部とを備えた通信システムにおいて、前記送信部及び前記受信部には、同一の基準クロック信号が与えられており、前記送信部は、前記基準クロック信号を受けて、遅延された送信側内部クロックを生成する手段と、前記送信側内部クロックに同期して、前記デジタル信号を送信する送信装置とを有し、他方、前記受信部は、受信側で発生された受信側内部クロック信号と、前記基準クロック信号とを受け、両信号の周波数を比較し、比較結果を周波数誤差信号として、出力する周波数比較回路と、前記デジタル信号及び前記受信側内部クロック信号とを受けて、前記受信側内部クロック信号の位相を調整し、位相調整信号を出力する位相調整回路と、前記周波数誤差信号及び前記位相調整信号とを受けて、位相調整された前記受信側内部クロック信号を生成する受信側内部クロック信号生成手段とを備えていることを特徴とする通信システム。

【請求項8】 請求項7において、前記送信部及び前記受信部はそれぞれLSIチップ上に形成されていることを特徴とする通信システム。

【請求項9】 請求項7において、前記受信側内部クロック信号生成手段は、前記受信側内部クロック信号として、第1のクロック信号を生成するクロック信号生成部と、前記位相調整回路から、前記位相調整信号として、前記第1のクロック信号の位相を進めるための第1の位相調整信号、及び、前記第1のクロック信号の位相を遅らせるための第2の位相調整信号とを受け、前記第1のクロック信号の位相を進める際には、第1の位相調整信号を前記クロック信号生成部に送出して、前記第1のクロック信号の幅を相対的に狭くする一方、前記クロック信号の位相を遅らせる際には、第2の位相調整信号を前記クロック信号生成部に送出して、前記第1のクロック信号の幅を相対的に広くする位相制御手段とを有していることを特徴とする通信システム。

【請求項10】 請求項9において、前記クロック信号生成部は、前記位相制御手段に接続され、前記第1のクロック信号に対して時間遅延の少ない第2のクロック信号を生成する可変遅延回路と、第2のクロック信号を受け、予め定められた時間だけ遅延させ、前記第1のクロック信号を生成する論理部とを有するリングオッシャレータにより構成されていることを特徴とする通信システム。

【請求項11】 請求項10において、前記周波数誤差信号は、前記可変遅延回路に与えられていることを特徴とする通信システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、クロック信号生成回路、及び、当該クロック信号生成回路を含む通信システムに関する。

【0002】

【従来の技術】 一般に、この種の通信システムは、送信側及び受信側とを備え、送信側と受信側とを同期的に動作させることにより、デジタル信号を送信側から受信側

へ転送するのに使用される。以下では、これら送信側及び受信側は、それぞれ互いに異なる半導体チップ上に構成されているものとして説明するが、本発明は、何等、これに限定されるものではない。

【0003】このような通信システムにおいて、送信側から送信されたデジタル信号を受信側で再生するためには、送信側におけるクロック信号を受信側で抽出して、送信側と受信側とを同期的に動作させる必要がある。このため、送信側及び受信側には、クロック信号を送信及び受信するためのインターフェースが設けられているのが普通である。

【0004】また、クロック信号を送信側から受信側へ転送するインターフェースとして、10～20MHz程度の低速クロック信号を転送すべきデジタル信号とは別に、送信側及び受信側の双方に送出するものがある。この構成においては、送信側及び受信側は、それぞれ低速クロックをPLL等を用いて倍倍することにより、互いに周波数の一致した送信クロック信号及び受信クロック信号を得ることができる。しかしながら、このインターフェースは、10～20MHz程度の低速クロックに限られ、最近要望の高い200～300MHzの高速クロック信号に適用した場合には、波形の劣化及び反射の問題が生じてしまうため、上記した高速クロック信号には、適用できない状況にある。

【0005】他方、送信側及び受信側とを高速クロック信号によって動作させるインターフェースとして、送信側のクロック信号に同期して、送信側からの送信デジタル信号を受信側に送出するものがある。このインターフェースは、高速クロック信号を送信側から受信側に転送できる。

【0006】

【発明が解決しようとする課題】しかしながら、高速クロック信号に同期して、送信デジタル信号を送信するインターフェースでは、受信側に、受信されたデジタル信号からクロック信号を抽出するためのクロックリカバリ回路が必要である。また、送信デジタル信号中に、0或いは1の連続が有った場合、受信側におけるクロック信号が不安定になってしまい。換言すれば、デジタル信号を送信クロック信号に同期して送信するこのインターフェースは、デジタルによって受信クロック信号の安定性が変動するデータ依存性を有していると言う欠点がある。

【0007】また、この種のインターフェースとして、特開平7-202874号公報（以下、引用例と呼ぶ）には、受信側にクロック信号抽出回路を設けた構成が開示されている。このクロック信号抽出回路は、周波数補正用の主ループ及び位相補正用のもう一つのループとを備え、これら2つのフィードバックループにより、ローカル発振器を電圧制御して、受信デジタル信号にロックした受信クロック信号を抽出できる。

【0008】しかしながら、引用例に示されたインターフェースにおいても、送信されるデジタル信号、即ち、データ信号に依存して、受信クロック信号の安定性が変動すること、並びに、受信クロック信号のデータ依存性を改善することについて、何等、指摘していない。

【0009】本発明の目的は、受信クロック信号がデータ信号によって影響を受けることがなく、且つ、高速クロック信号を送信側及び受信側に与えることができるインターフェースを提供することである。

【0010】本発明の他の目的は、上記動作を行うことができるインターフェースを送信側及び受信側に備えた通信システムを提供することである。

【0011】本発明の更に他の目的は、高速クロック信号に対応でき、したがって、反射及び波形の劣化等の無い通信システムを提供することである。

【0012】本発明の他の目的は、クロック信号の周波数だけでなく、位相をも個別に調整できるクロック信号発生回路を提供することである。

【0013】

【課題を解決するための手段】本発明の一実施の形態によれば、予め定められた周波数を有する第1のクロック信号を生成するクロック信号生成部と、前記第1のクロック信号の位相を進めるための第1の位相調整信号、及び、前記第1のクロック信号の位相を遅らせるための第2の位相調整信号とを受け、前記第1のクロック信号の位相を進める際には、第1の位相調整信号を前記クロック信号生成部に送出して、前記第1のクロック信号の幅を相対的に狭くする一方、前記クロック信号の位相を遅らせる際には、第2の位相調整信号を前記クロック信号生成部に送出して、前記第1のクロック信号の幅を相対的に広くする位相制御手段とを有しているクロック信号発生回路が得られる。

【0014】本発明の別の実施の形態によれば、デジタル信号を送信する送信部と、当該デジタル信号を受信する受信部とを備えた通信システムにおいて、前記送信部及び前記受信部には、同一の基準クロック信号が与えられており、前記送信部は、前記基準クロック信号を受けて、倍倍された送信側内部クロックを生成する手段と、前記送信側内部クロックに同期して、前記デジタル信号を送信する送信装置とを有し、他方、前記受信部は、受信側で発生された受信側内部クロック信号と、前記基準クロック信号とを受け、両信号の周波数を比較し、比較結果を周波数誤差信号として、出力する周波数比較回路と、前記デジタル信号及び前記受信側内部クロック信号とを受けて、前記受信側内部クロック信号の位相を調整し、位相調整信号を出力する位相調整回路と、前記周波数誤差信号及び前記位相調整信号とを受けて、位相調整された前記受信側内部クロック信号を生成する受信側内部クロック信号生成手段とを備えている通信システムが得られる。

【0015】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態について説明する。

【0016】図1を参照すると、本発明の一実施の形態に係る通信システムは、送信側装置11及び受信側装置12とを備え、図示された送信側装置11及び受信側装置12は、それぞれ半導体チップ内に、LSI回路の形で形成されている。図示された例では、送信側及び受信側装置11及び12には、25～50MHz程度の基準クロック信号RCLKが図示されない基準クロック発生器から与えられている。尚、基準クロック信号RCLKは200～300MHzの高速クロック信号であっても良い。

【0017】図1において、送信側装置11は、基準クロック信号RCLKを受けて、周波数変換して、通倍されたクロック信号(CLK)を送信側内部クロック信号として送出するデジタルPLL(DPLL)111と、通倍クロック信号(CLK)を受ける送信部112とを備えている。ここで、送信部112は、単一のディレイフリップフロップ(DF)によって特徴づけられており、当該DFからは、通倍クロック信号(CLK)に同期して、図示されない部分からのデータ信号(デジタル信号)が、受信側装置12に送出される。これらDPLL111及び送信部112は出力側のインターフェースを構成している。

【0018】一方、受信側装置12は、受信部121及びDF/F122によって特徴づけられた受信側インターフェースを備え、図示された受信部121は、周波数比較部21、ビット位相比較部22、及び、リングオッシャレータ部23によって構成されている。周波数比較部21は、リングオッシャレータ23によって、後述するように、発生される受信側内部クロック信号CLKa(以下、第1の内部クロック信号と呼ぶ)と、送信側装置11にも与えられている基準クロック信号RCLKとを比較して、両者の周波数差に応じて、周波数アップ信号FUP及び周波数ダウン信号FDNをリングオッシャレータ23に送出する。これら周波数アップ信号FUP及び周波数ダウン信号FDNは、周波数差をあらわすデジタル信号であり、それぞれ受信側内部クロック信号の周波数を上昇及び低下させる。このような周波数比較部21自体は公知であるので、ここでは、詳述しない。

【0019】次に、図2を参照すると、図1に示されたリングオッシャレータ23が、より具体的に示されている。図示されたリングオッシャレータ23には、周波数調整部21から、周波数アップ信号FUP及び周波数ダウン信号FDNが与えられると共に、ビット調整部22から、位相を進めるための第1の位相調整信号(UP)、及び、位相を遅らせるための第2の位相調整信号(DN)が与えられている。これら第1及び第2の位相調整信号(UP)及び(DN)は、後述するように、ビット

調整部22によって生成される。

【0020】図示されたリングオッシャレータ23は、第1の内部クロック信号CLKa、当該第1の内部クロック信号CLKaと第1の位相調整信号(UP)とのアンドを取るアンドゲートと、このアンドゲート出力信号と第2の位相調整信号(DN)とのオアを取るオアゲートとを備え、このオアゲートの出力信号は可変遅延回路35に供給される。また、この可変遅延回路35には、周波数調整部21から周波数アップ信号FUP及び周波数ダウン信号FDNが与えられており、ここでは、周波数調整の結果、可変遅延回路35からは、予め定められた周波数を有する第2の内部クロック信号CLKbが出力されている。可変遅延回路35から出力される第2の内部クロック信号CLKbは固定遅延部及びインバータにより、遅延及び反転され、第1の内部クロック信号CLKaとして、ビット位相調整部22、アンドゲート、及び周波数比較部21に送出されている。したがって、第2の内部クロック信号CLKbは、第1の内部クロック信号CLKaに比較して、遅延の少ないクロック信号であることが分かる。

【0021】ここで、図3をも参照して、図2に示されたリングオッシャレータ23の動作を説明すると、第1及び第2の位相調整信号(UP)及び(DN)が無い場合、図3の最上段に示されているように、一定周期で、一定幅の第2の内部クロック信号CLKaが可変遅延回路35、固定遅延部、及び、インバータを介して出力されている。この時、第1の位相調整信号(UP)が、図3の第2番目の列に示されているように、第2の内部クロック信号CLKbに対して出力されると、対応する第2の内部クロック信号CLKbの幅は、図3の第3番目の列に示されているように、第1の位相調整信号(UP)と重なる部分だけ狭くなる。この結果として、第1の位相調整信号(UP)を受けた時の第2及び第1の内部クロック信号CLKb及びCLKaの位相は進められることになる。

【0022】他方、第2の位相調整信号(DN)が図3の第4番目の列に示されているように、第2の内部クロック信号CLKbに対して出力されると、対応する第2の内部クロック信号CLKbの幅は、図3の第5番目の列に示されているように、第2の位相調整信号(DN)と重なる部分だけ広げられ、これによって、位相を遅延させることができる。

【0023】図4を参照して、図1及び図2に示されたビット位相調整部22の具体例を説明する。図4に示すように、ビット位相調整部22には、入力データIN及び第1の内部クロック信号CLKaが与えられている。この場合、第1の内部クロック信号CLKaは、外部から与えられる基準クロック信号RCLKに対して周波数調整されており、したがって、予め定められた周波数(例えば、200MHz)を有している。

【0024】更に、ビット位相調整部22は、第1の内部クロック信号CLKaと入力データINとが入力されるフリップフロップ(以下、単に、F/Fと略称する)41及び42を有しており、このうち、F/F41は、図5に示されているように、入力データINと第1の内部クロック信号CLKaとの比較状態をあらわす比較状態信号を出力している。他方、F/F42、43、並びに、アンドゲート44により、入力データの立上がり検出信号を第1の内部クロック信号CLKaに同期して論理”1”にし、この論理”1”的状態は図5に示すように、次の内部クロック信号CLKaの受信まで継続される。立上がり検出信号、及び、比較状態信号とは、 NANDゲート45及びアンドゲート46に与えられ、これらの出力信号は、出力側に設けられたNANDゲート47及びアンドゲート48に与えられている。ここで、NANDゲート47及びアンドゲート48は、第1及び第2の内部クロック信号CLKa及びCLKbを受けて動作するアンドゲート49に接続されている。

【0025】ここで、アンドゲート49には、第1の内部クロック信号CLKaが固定遅延回路及びインバータを介して与えられており、且つ、第2の内部クロック信号CLKbが直接与えられている。

【0026】図6をも併せ参照すると、第1の内部クロック信号CLKaは遅延され、且つ、反転される結果、アンドゲート49からは、第1及び第2の内部クロック信号CLKa及びCLKbとの時間差即ち位相差に応じた調整パルスが、図6に示すように、NANDゲート47及びアンドゲート48に与えられる。

【0027】図4及び図5に戻ると、NANDゲート45の出力は、比較状態信号及び立ち上がり検出信号の少なくとも一方が論理”1”を取る限り、論理”1”的状態を取っているから、アンドゲート49から調整用パルスが与えられると、図5に示すように、NANDゲート47からは、論理”0”的第1の位相調整信号(UP)が出力される。

【0028】一方、アンドゲート46の出力は、比較状態信号が論理”0”で、且つ、立上がり検出信号が論理”1”的時、論理”1”を出力する。この状態で、調整用パルスがアンドゲート48に与えられると、論理”1”的第2の位相調整信号(DN)が、図5に示すように、アンドゲート48から出力される。

【0029】尚、図2に示された固定遅延回路では、内部クロック信号の周波数が200MHzの場合、第2の内部クロック信号CLKbに対して80ピコ秒程度の遅延を与えれば良い。

【0030】図2に示されるように、第1及び第2の位相調整信号UP及びDNは、リングオッシャレータ23のアンドゲート及びオアゲートに与えられる。図2の構成

では第1の位相調整信号UPが論理”0”を取っている時間だけ、可変遅延回路35に与えられる信号の時間は短縮され、他方、第2の位相調整信号DNが論理”1”を取っている時間だけ、可変遅延回路に与えられる信号の時間は長くなる。これによって、位相の調整を各パルス単位で正確に行うことができる。

【0031】

【発明の効果】以上述べたように、本発明では、周波数調整及び位相調整を個々に行うことにより、送信側及び受信側のインターフェースを高速クロック信号で動作させても、クロック信号波形の劣化及び反射等による影響を受けることがなく、且つ、高速クロック信号に同期してデータ信号を送信する場合のように、受信側における内部クロック信号がデータに依存して、不安定になるのを防止できる通信システムを構成できる。また、本発明においては、内部クロック信号の幅を変化させることにより、位相調整を行うことができるため、位相を調整を正確に調整できると言う利点もある。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係る通信システムの全体構成を説明するためのブロック図である。

【図2】図1に示される受信側のインターフェースをより詳細に説明するためのブロック図である。

【図3】図2に示されたリングオッシャレータに加えられる位相調整信号を説明するための波形図である。

【図4】図3に示された位相調整信号を生成するためのビット位相調整回路を説明するための回路図である。

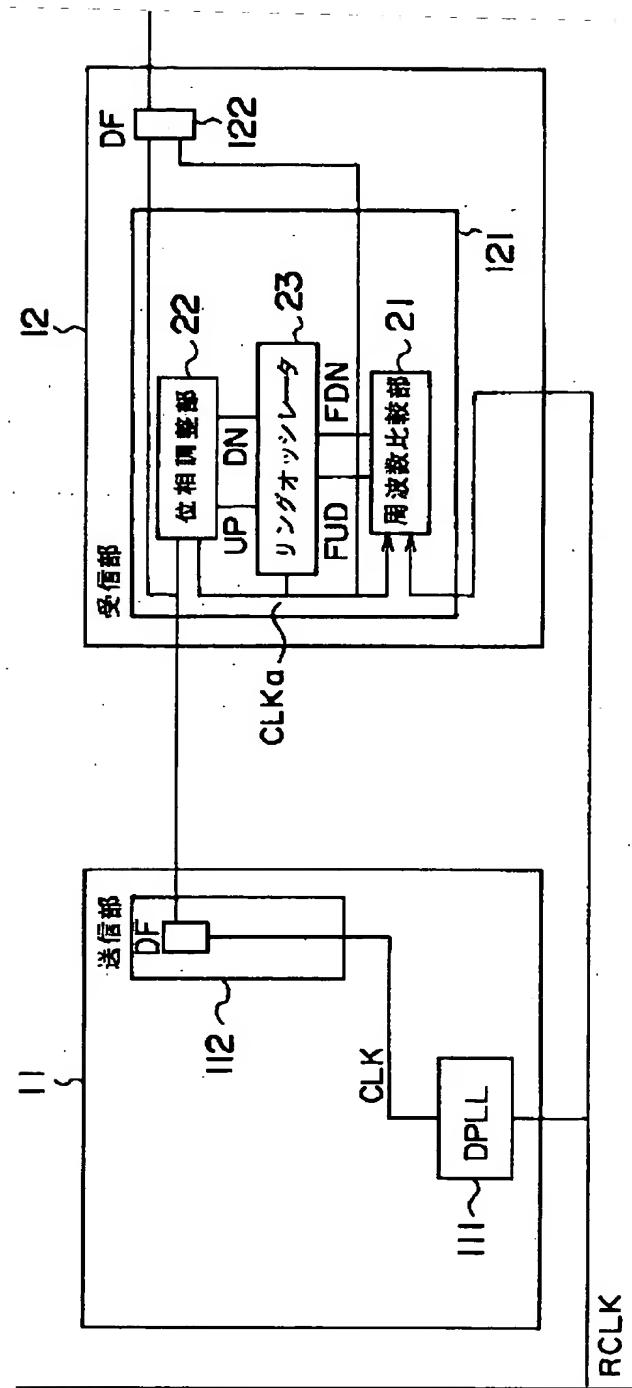
【図5】図4に示されたビット位相調整回路の動作を説明するための波形図である。

【図6】図4の回路の一部における動作を説明するための波形図である。

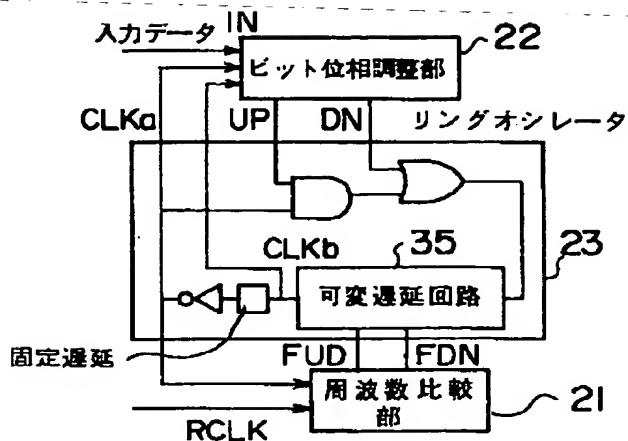
【符号の説明】

RCLK	基準クロック信号
11	送信側装置
12	受信側装置
111	デジタルPLL
112	送信部
DF	ディレイF/F
121	受信部
122	ディレイF/F
21	周波数比較部
22	位相調整部
23	リングオッシャレータ
CLKa、CLKb	第1及び第2の内部クロック信号
UP、DN	第1及び第2の位相調整信号
35	可変遅延回路

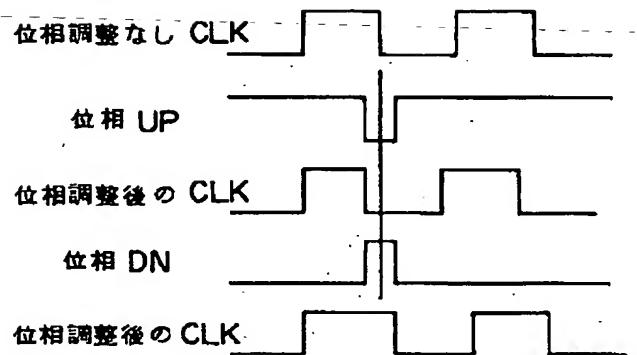
【図1】



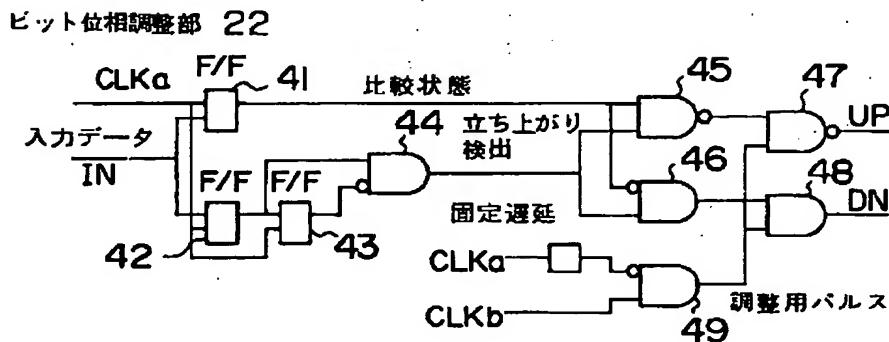
【図2】



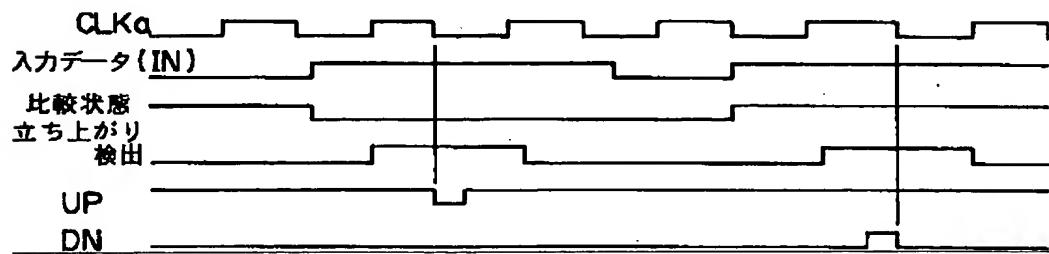
【図3】



【図4】



【図5】



【図6】

